

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-005057

(43)Date of publication of application : 10.01.1989

1)Int.Cl.

H01L 27/14
H04N 5/335

1)Application number : 62-160510

(71)Applicant : CANON INC

1)Date of filing : 26.06.1987

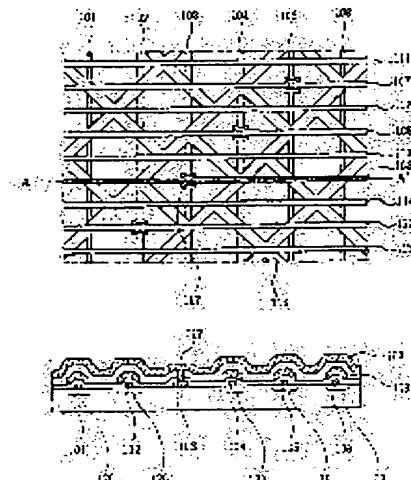
(72)Inventor : YAMADA KATSUHIKO
HATANAKA KATSUNORI
SAIGA TOSHIHIRO
ISHII TAKAYUKI

I) PHOTOELECTRIC CONVERTING DEVICE

I')Abstract:

IRPOSE: To minimize stray capacitance at insulated intersections between discrete output electrodes and common lines, by holding fixed potential of conductor layers provided at the insulated intersections between the discrete output electrodes and the common lines.

INSTITUTION: A conductor layer 116 having a fixed potential is interposed between the lowermost layer and the uppermost layer only around the intersections 120 where discrete electrodes 101□106 of the lowermost layer intersect with common lines 107□110 of the uppermost layer. Thus, it is possible to minimize stray capacitance which would be produced between discrete electrodes 101□106 and the common lines 107□110 and, therefore, it is possible to prevent cross talk caused between output signals. Further, by decreasing the area of the intersections between the discrete electrodes 101□106 and interconnections for connecting the conductor layers 116 having a fixed potential as well as the area of the intersections between the common lines and the interconnections for connecting the conductor layers 116 having a fixed potential, the stray capacitance between them can be minimized and, therefore, deterioration of transfer efficiency can be prevented.



⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
 ⑯ 公開特許公報 (A) 昭64-5057

⑯ Int.Cl.
 H 01 L 27/14
 H 04 N 5/335

識別記号 廷内整理番号
 C-8122-5F
 E-8420-5C

⑯ 公開 昭和64年(1989)1月10日

審査請求 未請求 発明の数 1 (全6頁)

⑯ 発明の名称 光電変換装置

⑯ 特 願 昭62-160510
 ⑯ 出 願 昭62(1987)6月26日

⑯ 発明者	山田 克彦	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑯ 発明者	畠中 勝則	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑯ 発明者	雜賀 敏宏	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑯ 発明者	石井 隆之	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑯ 出願人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑯ 代理人	弁理士 福森 久夫		

明月 畠中 勝則

1. 発明の名称

光電変換装置

2. 特許請求の範囲

一次元状に配列された複数個の光電変換素子と、前記複数個の光電変換素子の各出力個別電極の少なくとも2つを共通に接続する複数の共通線と、前記出力個別電極と前記共通線との交差部分近傍に設けられた一定電位の連電体層と、前記連電体層相互を接続する配線とを具えたことを特徴とする光電変換装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は光電変換装置に関し、特に、例えば、ファクシミリ、イメージリーダ、ディジタル複写機および電子黒板等の画像読み取り装置に好適な光電変換装置に関する。

[従来の技術]

近年、例えばファクシミリ、イメージリーダ等の光電変換装置として、等倍光学系をもつ長尺ラ

インセンサの開発が行われている。これは主に、プリント配線技術の発達に伴ない、光電変換素子の小型化・高密度化が可能となったことに由来する。等倍光学系をもつ長尺ラインセンサでは、一列に配置した光電変換素子を原稿に密着させて線状に画像を読み取ることによって、かつての様なたとえば一つの光電変換素子とたとえばレンズを用いた光学系とによって一点ずつ原稿を読み取る方法等に比べて、装置を小型化し、かつ、高速化する等の性能の向上をはかることができる。

従来、等倍光学系をもつ長尺ラインセンサは一列のアレイ状に配置された各光電変換素子のそれぞれにスイッチ素子等で構成された信号処理用のIC(集積回路)を接続して構成している。しかしながら、その光電変換素子の個数はファクシミリG3規格に準するとA4サイズで1728個も必要となり、多数の信号処理用のICが必要となる。このため、実装工数も増え、製造コスト、並びに信頼性で満足なものは得られていない。

一方、信号処理用のICの個数を減らし、かつ

実装工数を減らす構成としては従来からマトリックス配線による構成が採用されている。第4図にマトリックス配線された光電変換装置のブロック図を示す。第4図において、1は一次元に配列された複数個の光電変換素子からなる光電変換素子部、2は走査部、3は信号処理部、4はマトリックス配線部である。走査部2と信号処理部3とを接続する配線のうち、縱線が個別電極、横線が共通線である。

こうしたマトリックス配線では、マトリックス配線部を小型化するために個別電極と共通線とが近接している。このため各配線間に浮遊容量が存在するという問題があり、各出力信号間にクロストークを生じ、読み取った画像が劣化する原因ともなっている。この問題を解決する最も簡単な方法は、各配線間の距離を大きくすることである。しかし、この方法ではマトリックス配線部の大型化につながり、結局先に述べたように多数の光電変換素子を必要とする装置のためのマトリックス配線部としては好ましくない。

ミックコンタクトをとるためのスルーホールである。

[発明が解決しようとしている問題点]

しかしながら、個別電極と共通線との絶縁交差部に一定電位の導電体層を設けたこのようなマトリックス配線の光電変換装置においては、以下に示すような問題点があった。

このマトリックス配線では各個別電極および共通線間の線間容量の抑制のために各個別電極と共通配線との絶縁交差部に、電位を一定に保つた導電体層を用いている。

この構成では各個別電極と共通配線との間の浮遊容量は抑制されるが、新たに一定電位の導電体層と各個別電極間、さらに一定電位の導電体層と各共通配線間に浮遊容量を生じる。

この浮遊容量は、一定電位の導電体層がマトリックス配線部の全面に配置されるため、各個別電極と前記一定電位の導電体層との間および共通線と前記一定電位の導電体層との間のすべてに発生するものであり、実使用上無視できないことも

そこで、個別電極と共通線との交差部に、電位を一定に保つことができる導電体層および配線をそれぞれ設けることによって、個別電極層および共通線間の容量を制御し、それにより浮遊容量を通じて生じる各出力信号の間のクロストークを防止する構成のマトリックス配線部を具備した光電変換装置も考案されている。

第3図(a)に個別電極と共通線との絶縁交差部に一定電位の導電体層を設けたマトリックス配線の平面図、第3図(b)に第3図(a)で示したマトリックス配線のB-B'断面図を示す。第3図において301～304は個別電極、305～308は共通線、309～313は共通線305～308に設けられた線間配線、314は個別電極301～304と共通線305～308との間に位置し、電位を一定に保つことができるような電源等(図示せず)に接続した導電体層、315は個別電極301～304と共通線305～308とのオ

ある。

第5図は前記一定電位の導電体層を持つマトリックス配線を用いた蓄積型光電変換装置の等価回路である。例えば、第5図の蓄積型光電変換回路の出力側に前記マトリックス配線を用いた場合、負荷コンデンサ505の値に比して無視できない浮遊容量504が発生して、転送効率の低下をまねく恐れがある。

本発明は、上述の問題点を解決すべくなされたものであり、その目的は、各出力信号間のクロストークを抑制し、かつ前記クロストークを抑制する構造による新たな浮遊容量をも抑制するマトリックス配線を具備した光電変換装置を提供することにある。

[問題点を解決するための手段]

本発明は、一次元状に配列された複数個の光電変換素子と、各々該複数個の光電変換素子の各出力個別電極の少なくとも2つを共通に接続する複数の共通線と、前記出力個別電極と前記共通線との交差部分近傍に設けられた一定電位の導電体層

と、前記導電体層相互を接続する配線とを具えたことを特徴とする光電変換装置であることに要旨が存在する。

本発明の最大の特徴は、前記出力個別電極と前記共通線との交差部分近傍に一定電位の導電体層を設けた点にある。一定電位の導電体層とは、例えば定電圧源に接続する等の手段により、一定の電位に保たれた導電体層である。

[作用]

本発明によれば、前記出力個別電極と共通線の絶縁交差部で形成される浮遊容量を抑制し、かつ前記一定電位の導電体層と個別電極間の浮遊容量および前記一定電位の導電体層と共通線間の浮遊容量をも抑制することが可能となる。

すなわち、出力個別電極と共通線との絶縁交差部に設けた導電体層の電位を一定に保つことによって、出力個別電極と導電体層との間の電位差と、共通線と導電体層との間の電位差とは、互いに無関係に保たれる。すなわち、出力個別電極の電位・電流の変化は、共通線との中間に位置する

は第1図(a)、第2図(a)で示したマトリックス配線部のそれぞれのA-A'断面図である。一次元状に配列された複数個の光電変換素子からなる光電変換素子部、走査部および信号処理部は第4図と同様であるので図示省略する。

第1図(a)、(b)、第2図(a)、(b)において、101～106および201～206は最下層となっている個別電極、107～110および207～210は最上層となっている共通線、111～115および211～215は最上層の個別電極間に設けられた線間配線、116および216は最下層となっている個別電極と最上層となっている共通線との間に設けられ、電位を一定に保つことができるような電源等(図示せず)に接続した導電体層および前記導電体層を接続する配線が組みあわされたものである。

第2図(b)において、217は前記一定電位の導電体層、218は前記一定電位の導電体層を接続する配線である。

第1図(a)においては、前記導電体層と、前

導電体層がその変化による影響を含めて電位を一定に保つために、共通線には影響を及ぼさない。逆に、共通線の電位・電流の変化も、同様にして、出力個別電極に影響を及ぼさない。これにより、出力個別電極と共通線との間の浮遊容量の影響を抑制することができる。

さらに、一定電位の導電体層を接続する配線を省く前記出力個別電極と共通線との交差部以外の部分では、一定電位の導電体層を取り除くことによって、出力個別電極と一定電位の導電体層との交差面積および共通線と一定電位の導電体層との交差面積を少なくし、新たに生じる浮遊容量を低減して転送効率の低下を抑制することができる。

[実施例]

以下に図面を参照して本発明の実施例を詳細に説明する。

第1図(a)、第2図(a)は本発明による一実施例のマトリックス配線部の平面図を模式的に示した図である。第1図(b)、第2図(b)

記導電体層相互を接続する配線とが一体化されたものである。

第1図(a)、(b)、第2図(a)、(b)の実施例では、第1図(b)、第2図(b)の断面図に示すように、最下層の個別電極と最上層の共通線との交差部分近傍120、220にのみ、中に一定電位の導電体層が存在する。これにより、前記個別電極と前記共通線との間に生じる浮遊容量を抑制し、出力信号間に生じるクロストークを抑制することができた。

さらに、第1図(a)、第2図(a)の平面図に示すように、前記一定電位の導電体層を接続する配線と前記個別電極との交差部の面積、および、前記一定電位の導電体層を接続する配線と前記共通線との交差部の面積を少なくすることにより、それぞれの間に生じる浮遊容量を従来のマトリックス配線に比べて小さく抑え、転送効率の低下を防止することができた。

なお、本発明に係る光電変換装置を製作する方法は、公知のいかなる技術によっても良い。

【発明の効果】

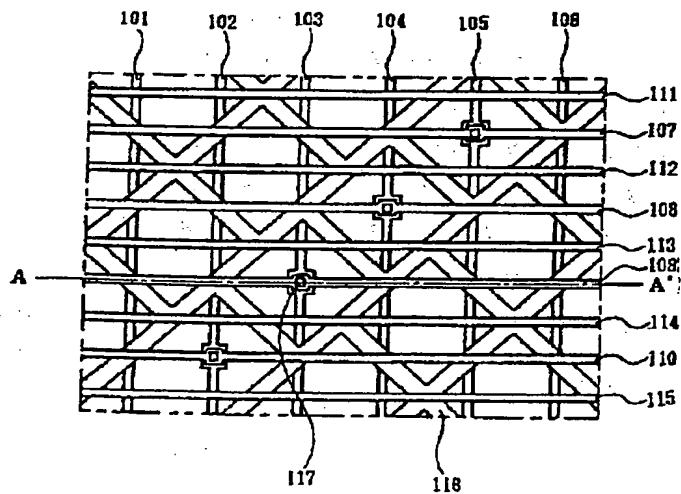
以上説明したように、本発明によれば出力信号間のクロストークを抑制し、かつ前記クロストークを抑制する構造により発生する浮遊容量をも抑制し、転送効率の低下を防止する小型のマトリックス配線部をもつ光電変換装置を得ることができる。

4. 図面の簡単な説明

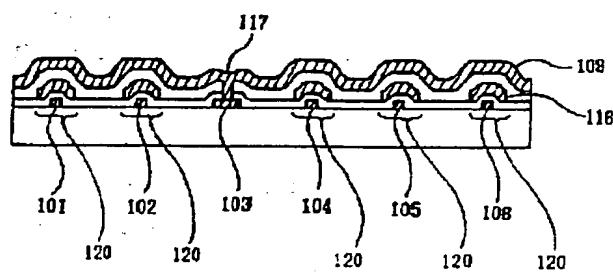
第1図(a)は本発明の一実施例におけるマトリックス配線図の平面図、第1図(b)は第1図(a)で示した実施例のA-A'断面図、第2図は、本発明の一実施例におけるマトリックス配線図の平面図、第2図(b)は第2図(a)で示した実施例のA-A'断面図、第3図(a)は、従来のマトリックス配線部の平面図、第3図(b)は第3図(a)で示した従来のマトリックス配線部のB-B'断面図、第4図はマトリックス配線された光電変換装置のブロック図、第5図は従来のマトリックス部を具した香積型光電変換装置の等価回路である。

1…光電変換素子部、2…走査部、3…信号処理部、4…マトリックス配線部、101～106、201～206、301～304…個別電極、107～110、207～210、305～308…共通線、111～115、211～215、309～313…線間配線、116、216…一定電位の導電体層および一定電位の導電体層を接続する配線、117、219、315…スルーホール、120、220…交差部分近傍、217、314…一定電位の導電体層、218…一定電位の導電体層を接続する配線、501…光電変換素子、502…スイッチング素子、503…蓄積コンデンサ、504…浮遊容量、505…負荷コンデンサ、506…出力端子。

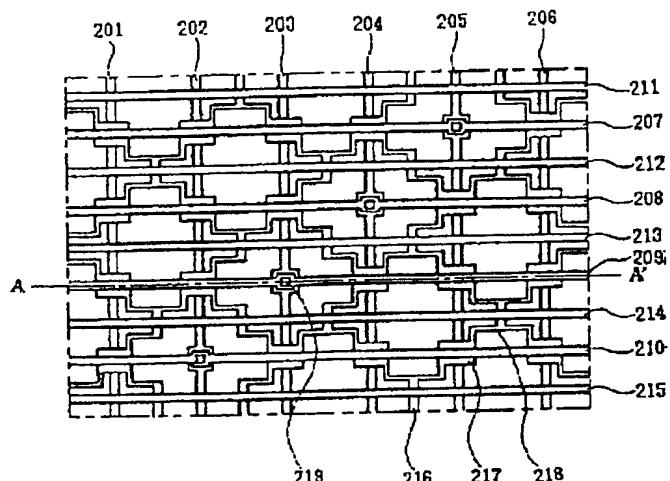
第1図(a)



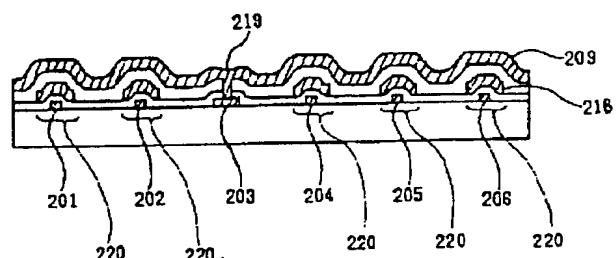
第1図(b)



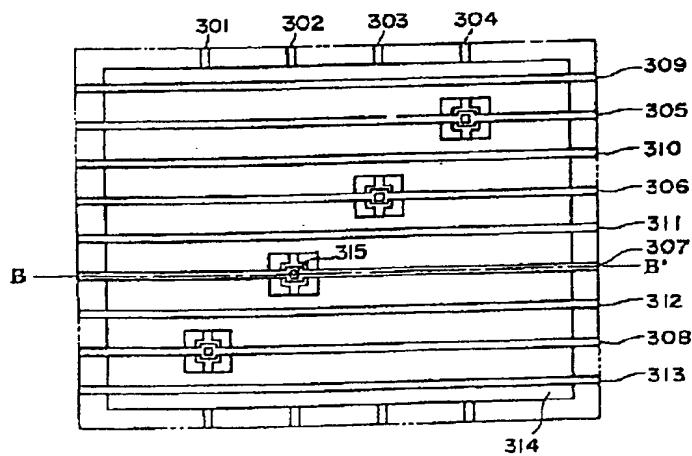
第2図(a)



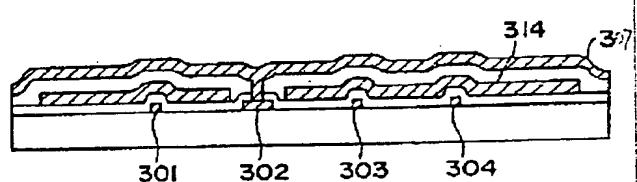
第2図(b)

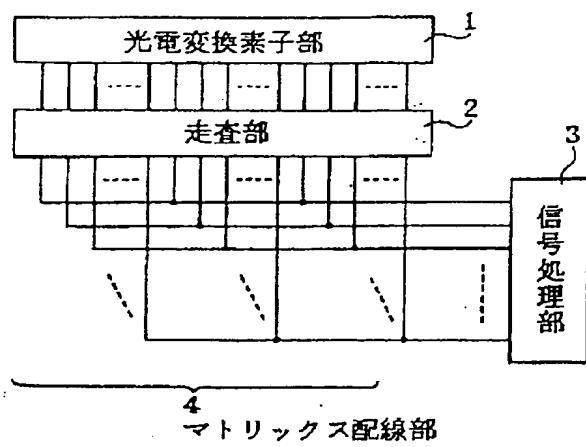


第3図(a)



第3図(b)





第4図

第5図

